

《数字电子技术》考试大纲

第一部分 考试说明

一、考试性质

《数字电子技术》是我校电气信息类专业专升本入学必考的专业基础课之一。考核的标准是掌握数字电子技术方面的基本理论、基本知识和基本技能，具备分析和解决实际问题的能力。

二、考试形式与试卷结构

（一）答卷方式：闭卷，笔试

（二）答题时间：120分钟

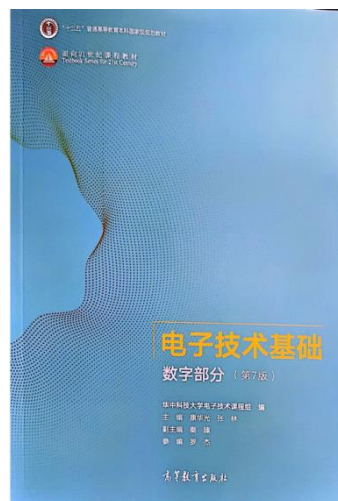
（三）题型：填空题（20分）、选择题（20分）

化简题（14分）、分析题（20分）

设计题（26分）

（四）教材选用：

康华光《电子技术基础数字部分》第7版 高等教育出版社



第二部分 考试要点

1.数字逻辑概论（10%）

考核知识点: 数制之间转换、基本概念、公式、定理以及逻辑函数的表示法。

考核要求: 掌握逻辑函数的表示法。

2.逻辑代数（15%）

考核知识点: 逻辑函数的代数化简方法、卡诺图化简方法，具有无关项的逻辑函数的化简。

考核要求: 熟悉基本概念、公式、定理能熟练运用公式法或卡诺图法进行化简，会利用无关项进行化简。

3.组合逻辑电路（25%）

考核知识点: 组合电路的分析与设计方法、常用组合逻辑器件编码器、译码器、数值比较器、全加器、数据选择器的功能及应用。

考核要求: 了解组合电路结构、功能上的特点及消除竞争冒险的方法，熟悉常用组合逻辑器件的功能及应用。熟练掌握组合电路的分析方法和设计方法，并能根据要求设计组合逻辑电路（包括用指定门电路实现和用译码器及数据选择器设计）

4.锁存器和触发器（10%）

考核知识点: 几种常见的锁存器、触发器的逻辑功能、分类及相互间的转换。

考核要求: 了解各种常见触发器的电路结构、工作原理，熟练掌握它们的特性方程，并能熟练运用特性表、特性方程、状态转换图及时序图来描述各种触发器的逻辑功能，掌握不同逻辑功能的触发器之间的转换方法。

5.时序逻辑电路（25%）

考核知识点: 时序电路的结构特点和逻辑功能特点、时序电路的分析和设计方法、常用时序逻辑电路计数器、寄存器的功能及应用。用集成计数器构成任意进制计数器。

考核要求: 熟悉时序逻辑电路在逻辑功能和电路结构方面的特点，熟悉时序电路逻辑功能的描述方法。熟练掌握时序电路逻辑功能的一般分析方法。掌握用集成计数器构成任意进制计数器的方法。

6.脉冲波形的变换与产生（10%）

考核知识点: 多谐振荡器 施密特触发器 单稳态触发器 555定时器

考核要求: 了解555内部结构，熟悉其功能表及外部特性，并会用555构成施密特触发器、

多谐振荡器和单稳态触发器。熟悉多谐振荡器的结构、工作原理，会估算输出脉冲的周期、频率。熟悉单稳触发器的结构、工作原理，会估算输出脉冲的宽度。熟悉施密特触发器的回差特性。会估算上、下限触发电平回差电压数值，会画波形图。

7.数模与模数转换器（5%）

考核知识点: D/A转换器、A/D转换器

考核要求: 了解几种典型转换电路的基本工作原理，输入量和输出量之间的定量关系、主要特点，以及转换精度和转换速度的概念与表示方法。

怀化学院
电气与信息工程学院
2022年3月

第三部分 题型举例

一、填空题（每空2分，共20分）

1、若各门电路的输入均为 A 和 B，且 A=0，B=1；则与 非门的输出为_____。

.....

二、选择题（每小题2分，共20分）

1、下面的函数表达式中，（ ）是最简与或表达式。

A. $Y(A, B, C) = AB + \bar{A}B$

B. $Y(A, B, C) = \bar{A}\bar{B}C + \bar{A}BC$

C. $Y(A, B, C) = AB + CD$

D. $Y(A, B, C) = A + \bar{A}C$

.....

三、化简题（共14分）

1、用卡诺图法将 $L_2(A, B, C, D) = \sum m(0, 4, 6, 13, 14, 15) + \sum d(1, 2, 3, 5, 7, 9, 10, 11)$ 化简为最简与或式。

2、.....

四、综合分析题（共20分）

1、（12 分）已知电路如图 2 所示，试写出：

- ①驱动方程；
- ②状态方程；
- ③输出方程；
- ④状态表或状态图；
- ⑤电路功能。

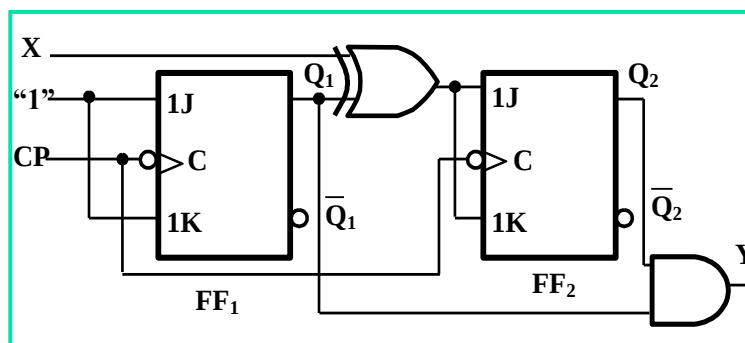


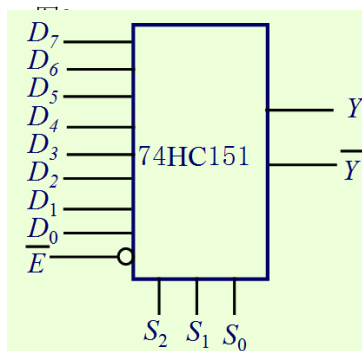
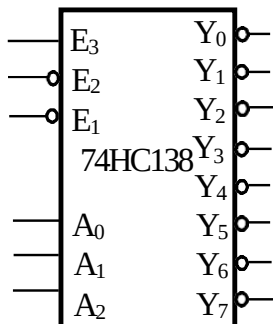
图 1

2、.....

五、设计题（共26分）

1、（18分）设计一个3输入的组态逻辑电路。当输入的二进制码小于3时，输出为0；输入大于等于3时，输出为1。分别采用如下两种方案进行设计：

- ①仅用二输入与非门实现；
 ②用译码器74138（如图3）和与非门实现。
 ③74HC151实现。



输 入						输 出							
E_3	$\overline{E_2}$	$\overline{E_1}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	X	1	x	x	x	1	1	1	1	1	1	1	1
0	x	x	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

2、.....